

(11)特許出願公開番号

(43)公開日 平成10年(1998)5月15日

510A

審査請求 未請求 請求項の数9 O.L (全 23 頁)

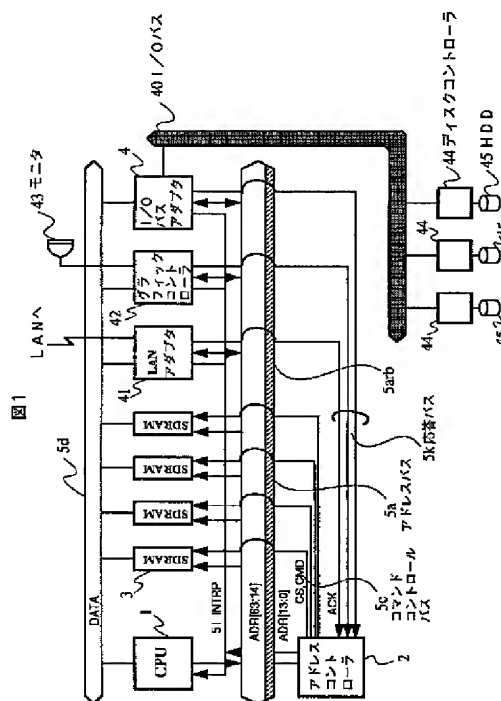
(74)代理人 弁理士 富田 和子

(54) 【発明の名称】 情報処理装置およびコントローラ

(57) 【要約】

【課題】記憶手段をCPUバスに接続させることができる情報処理装置を提供する。

【解決手段】情報を処理するCPU1と、CPUが処理する情報を、アクセス命令に従って記憶する記憶手段3と、CPU1および記憶手段3が接続されるCPUバス5と、CPUバスを介しての記憶手段へのアクセスを管理する制御部2とを有する。CPU1のバス制御手段と制御部2のバス制御手段とは、CPUバス5へのアクセス制御をそれぞれ行う。制御部2の変換手段は、CPU1から記憶手段3へのアクセスの指示を、当該アクセスの指示に対応する、予め定められた記憶手段3へのアクセス命令に変換する。これにより、記憶手段3をCPUバスに直接接続することができる。



【特許請求の範囲】

【請求項1】情報を処理するCPUと、

前記CPUが処理するデータを、アクセス命令に従って記憶する記憶手段と、

前記CPUおよび前記記憶手段が接続されるCPUバスと、

前記CPUバスを介しての前記記憶手段へのアクセスを管理する制御部とを有し、

前記記憶手段は、前記CPUバスを介してデータを入出力し、

前記制御部は、

前記CPUから前記記憶手段へのアクセスの指示を、当該アクセスの指示と異なる、予め定められた前記記憶手段へのアクセス命令に変換し、前記記憶手段に対して当該変換したアクセス命令を供給する変換手段とを備えることを特徴とする情報処理装置。

【請求項2】請求項1において、入出力装置が接続されるI/Oバスに接続されるI/Oバスアダプタをさらに有し、

前記I/Oバスアダプタは、前記CPUバスに接続され、

前記変換手段は、前記I/Oバスアダプタから前記記憶手段へのアクセスの指示を、当該アクセスの指示と異なる、予め定められた前記記憶手段へのアクセス命令にさらに変換し、前記記憶手段に対して当該変換したアクセス命令を供給することを特徴とする情報処理装置。

【請求項3】請求項1において、ネットワークに接続されるLANアダプタをさらに有し、

前記LANバスアダプタは、前記CPUバスに接続され、

前記変換手段は、前記LANバスアダプタから前記記憶手段へのアクセスの指示を、当該アクセスの指示と異なる、予め定められた前記記憶手段へのアクセス命令にさらに変換し、前記記憶手段に対して当該変換したアクセス命令を供給することを特徴とする情報処理装置。

【請求項4】請求項1において、表示装置が接続されるグラフィックコントローラをさらに有し、

前記グラフィックコントローラは、前記CPUバスに接続され、

前記変換手段は、前記グラフィックコントローラから前記記憶手段へのアクセスの指示を、当該アクセスの指示と異なる、予め定められた前記記憶手段へのアクセス命令にさらに変換し、前記記憶手段に対して当該変換したアクセス命令を供給することを特徴とする情報処理装置。

【請求項5】請求項1において、前記記憶手段は、主記憶とキャッシュメモリとを備え、

前記制御部は、当該キャッシュメモリの参照履歴を管理するキャッシュ制御手段をさらに備えることを特徴とする情報処理装置。

【請求項6】請求項1において、前記制御部は、前記記憶手段が予め定められた複数の動作モードを備える場合に、前記CPUから指示された前記複数の動作モードのうちの一つの動作モードを保持する保持手段をさらに備え、

前記変換手段は、前記保持手段に保持する動作モードに従ったプロトコルにより前記アクセス命令を供給することを特徴とする情報処理装置。

【請求項7】請求項1において、前記制御部は、前記CPUバスへのアクセス制御を集中的に行うバス制御手段をさらに有することを特徴とする情報処理装置。

【請求項8】情報を処理するCPUと、

前記CPUが処理するデータを、アクセス命令に従って記憶する記憶手段と、

前記CPUバスを介しての前記記憶手段へのアクセスを管理する制御部と、

前記CPUおよび前記記憶手段が接続されるデータバスと、

前記CPU、前記記憶手段および前記制御部が接続されるアドレスバスと、

前記制御部から前記記憶手段に対してアクセス命令を指示するためのコマンドバスとを有することを特徴とする情報処理装置。

【請求項9】情報を処理するCPUおよび記憶手段が接続されるCPUバスを備える情報処理装置における前記記憶手段のアドレスを管理するコントローラであって、前記CPUバスへのアクセス制御を行うバス制御手段と、

前記CPUから前記記憶手段へのアクセスの指示を、当該アクセスの指示と異なる、予め定められた前記記憶手段へのアクセス命令に変換し、前記記憶手段に対して当該変換したアクセス命令を供給する変換手段とを備えることを特徴とするコントローラ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、情報処理装置におけるCPUとメモリと入出力装置とが接続されるアドレスおよびデータバスのバス制御方法に関し、特に、同期式のメモリを接続させる場合のバス制御方法に関する。

【0002】

【従来の技術】従来の情報処理装置の内部構成を図2に示す。図2に示すように、従来の情報処理装置は、CPUバス306とメモリバス312とI/Oバス307との3つのバスを備えている。CPUバス306には、情報を処理するCPU301、主記憶であるSDRAM308をコントロールするメモリコントローラ302、ディスプレイ311の制御を行うグラフィックコントローラ303、および、CPUバス-I/Oバス間のデータ転送を制御するI/Oバスアダプタ304が接続される。メモリバス312には、メモリコントローラ302

およびSDRAM308が接続される。I/Oバス307には、I/Oバスアダプタ304、および、同期式I/Oであるハードディスク(HDD)310の入出力の制御を行うディスクコントローラ309が接続される。さらに、メモリコントローラ302からグラフィックコントローラ303へのバスであるAGP(アドバンスドグラフィックポート)も備える。このように、従来においては、階層化された複数のバスを備えるような構成をとっている。

【0003】

【発明が解決しようとする課題】図2に示す構成において、CPU301とSDRAM308とHDD310との三者間でデータ転送を行うと、複数のバスを横断的にデータが転送されることとなる。この場合、バス間の転送を制御するメモリコントローラ302やI/Oバスアダプタ304において、一時的にデータが保持されるので、保持時間分の遅延が生じる。また、2つ以上のバスに接続されるメモリコントローラ302やI/Oバスアダプタ304等は、LSI化されたときに所要ピン数が増大し、LSIの巨大化やコスト高を引き起こす。

【0004】一方、小規模なマイコンと呼ばれるシステムでは、CPUにおいて、メモリコントローラ、LANアダプタ、ディスクコントローラなどの制御を行っている。しかし、通常のCPUに比較し、マイコンは特殊用途には向くが汎用性に欠け、性能を要求される通常のCPUで、メモリコントローラ、LANアダプタ、ディスクコントローラなどの制御を行うことは過負荷となる。

【0005】本発明は、データ転送時間を短縮することができる情報処理装置およびコントローラを提供することを目的とする。また、記憶手段をCPUバスに直接接続させることができる情報処理装置を提供することを他の目的とする。

【0006】

【課題を解決するための手段】本発明では、情報を処理するCPUと、前記CPUが処理するデータを、アクセス命令に従って記憶する記憶手段と、前記CPUおよび前記記憶手段が接続されるCPUバスと、前記CPUバスを介しての前記記憶手段へのアクセスを管理する制御部とを有し、前記記憶手段は、前記CPUバスを介してデータを入出力し、前記制御部は、前記CPUから前記記憶手段へのアクセスの指示を、当該アクセスの指示と異なる、予め定められた前記記憶手段へのアクセス命令に変換し、前記記憶手段に対して当該変換したアクセス命令を供給する変換手段とを備える。

【0007】本発明によれば、従来のメモリコントローラ等のバスを階層化する論理回路ないしLSIを廃し、CPUバスにメモリ素子ないしメモリモジュールの記憶手段とバスアダプタやグラフィックコントローラなどのアダプタとを直接接続させる。従来のメモリコントローラの代わりに、制御部(アドレスコントローラ)をCP

Uバスに接続させ、CPUが規定したCPUバスのバスプロトコルにないメモリアクセス等の制御を行い記憶手段への書き込み読み出しを実現する。記憶手段のCPUバスへの直結が実現されたことで、記憶手段からのデータは、直にCPUやバスアダプタやグラフィックコントローラで受信されるので、メモリアクセスにおけるデータ転送時間(メモリアクセスレイテンシ)が短縮される。

【0008】

【発明の実施の形態】本発明の第1の実施の形態について図面を参照して説明する。

【0009】図1に、本発明の第1の実施の形態における情報処理装置の構成を示す。図1において、CPU1は、情報を処理する。アドレスコントローラ2は、CPUバスを介しての同期メモリ3へのアクセスを管理する。同期メモリ(SDRAM)3は、複数備えられ、CPU1の主記憶である。I/Oバスアダプタ4は、CPUバス5-I/Oバス40間のデータ転送を制御する。I/Oバス40は、例えば、PCIバスであり、I/Oバスアダプタ4、および、同期式I/Oであるハードディスク(HDD)45の入出力の制御を行うディスクコントローラ44が接続される。LANアダプタ41は、LANなどのネットワークに接続される。グラフィックコントローラ42は、ディスプレイなどのモニタ43の表示制御を行う。CPUバス5は、アドレスを伝送するアドレスバス5aと、データを伝送するデータバス5dと、コマンドもしくはコントロール信号を伝送するコマンド・コントロールバス5cと、CPU1への割り込み信号を伝送する割り込みバス5iと、アドレスコントローラ2への応答信号を伝送する応答バス5kと、後述する、バス制御信号を伝送するアービトラーションバス5arbとを備える。また、CPU1、同期メモリ(SDRAM)3、LANアダプタ41、グラフィックコントローラ42、I/Oバスアダプタ4およびアドレスコントローラ2は、各々、LSI化される。

【0010】本発明の第1の実施の形態の情報処理装置では、CPUバス5に、CPU1、同期メモリ(SDRAM)3、LANアダプタ41、グラフィックコントローラ42、I/Oバスアダプタ4およびアドレスコントローラ2が接続される。本発明の第1の実施の形態において、CPU1は、予め定められたプロトコルを規定したCPUバス5のインタフェースを備える。このCPUバス5は、CPU1の従来のCPUバスプロトコルと互換性を備える。アドレスコントローラ2は、従来のCPUバスプロトコルと互換性を持ち、さらに、CPUから同期メモリ3へのアクセスの指示を、このアクセスの指示に対応する、予め定められた同期メモリ3へのアクセス命令に変換し、アドレスバス5aを介してアドレスを指示すると共に、同期メモリ3に接続されたコマンド・コントロールバス5cを介して、アクセス命令であるコ

マンドを指示する。また、アドレスコントローラ2は、応答バス5kを介して、I/Oバスアダプタ4、LANアダプタ41およびグラフィックコントローラ42からの応答を受ける。同期メモリ3は、データバス5dと、アドレスバス5aの下位ビットの0ビット〜13ビット(ADR[13:0])とに接続される。I/Oバスアダプタ4、LANアダプタ41およびグラフィックコントローラ42は、データバス5dとアドレスバス5aとに接続され、データおよびアドレスの授受を行い、また、割り込みバス5iを通じてCPU1にI/O割り込みを伝達し、さらに、応答バス5kを介して、アドレスコントローラ2に応答する。

【0011】従来のCPUバスプロトコルは、同期メモリを考慮しておらず、CPU1はCPUバスを介して同期メモリ3に直接読み書きをすることはできない。本発明の実施の形態においては、CPU1は、従来の情報処理装置と同様に、CPUバスのプロトコルに従い、メモリへのアクセスの指示を行うが、アドレスコントローラ2において、このアクセス指示を受け、メモリへのアクセス命令に変換し、読み出し・書き込みを処理することにより、同期メモリ3へのアクセスを可能とする。

【0012】つぎに、CPUの仮想記憶のアドレス空間における、CPUバス5のデータ転送のアドレスについて、図3を参照して説明する。本発明の第1の実施の形態では、図3に示すように、4GB(ギガバイト)の仮想記憶のアドレス空間7を利用する場合を例にする。4GBの空間において、下位から1GBを情報処理装置におけるオペレーティングシステム7oに割当て、その上位1GBを、マップドI/O7iに割当て、残り2GBをアプリケーション7aに割り当てるものとする。マップドI/O7iには、I/Oバスアダプタ4、LANアダプタ41およびグラフィックコントローラ42などのI/Oが個別に持つレジスタやデータの書き込み・読み出し用のレジスタバッファやFIFO(First in First out)メモリ等が割り当てられる。また、7a1、7a2は、アプリケーションが主記憶である同期メモリ3上に確保したデータのバッファ領域を示している。同様に、7o1、7o2は、オペレーティングシステム中のデバイスドライバが主記憶である同期メモリ3上に確保したデータのバッファ領域を示している。また、7i1、7i2は、マップドI/Oの空間に割り当てられたデータのバッファ領域である。7i1はLANアダプタ41の出力ポート側のレジスタであり、7i2はグラフィックコントローラ42のレジスタである。

【0013】図3に示すように、予め仮想アドレスを割り当てておき、割り当てられた仮想アドレスをCPUもしくはオペレーティングシステムにおいて物理アドレスに変換し、物理アドレスにしたがってデータ転送を行う。例えば、アプリケーションにおいて、LANアダプタ41を介してLANに対してデータを転送する場合、

アプリケーションは、LANに伝送するデータを領域7a1に格納し、オペレーティングシステムのシステムコールを行う。システムコールを受けたオペレーティングシステムは、領域7a1のデータを引き継ぎ、矢印71に示したように、領域7a1から領域7o1にメモリ間コピーを行う。この後、オペレーティングシステムは、LANアダプタ41にDMAリード転送を命じる。LANアダプタ41は、矢印72のごとく主記憶である同期メモリ3上の領域7o1から、自らのレジスタ7i1へのDMAリード転送を行い、データを引き継ぎ、LAN上へのデータ転送を行う。

【0014】また、アプリケーションにおいて、モニタにデータを表示させる場合には、アプリケーションが描画すべきデータやグラフィックコントローラ42の制御コマンドを演算の上、領域7a2に格納し、オペレーティングシステムのシステムコールを行う。システムコールを受けたオペレーティングシステムは、領域7a2のデータを引き継ぎ、矢印73に示したように、領域7a2から領域7o2にメモリ間コピーを行う。この後、オペレーティングシステムは、グラフィックコントローラ42にDMAリード転送を命じる。グラフィックコントローラ42は、矢印74のごとく主記憶である同期メモリ3上の領域7o2から、自らのレジスタ7i2へのDMAリード転送を行い、データを引き継ぎ、モニタ43に描画を行う。

【0015】以上説明したように、CPU上でのソフトウェアの動作において、メモリ間コピーやDMA転送は多用される。本発明の第1の実施の形態では、アドレスコントローラ2にアドレス空間をマッピングしておく。メモリ間コピーやDMA転送のデータ転送の指示があると、アドレスコントローラ2は、マッピングされたアドレスにしたがって、アドレスバス5aを介してアドレスを指示すると共に、同期メモリ3に接続されたコマンド・コントロールバス5cを介して、アクセス命令であるコマンドを指示することにより、同期メモリ3へのアクセスを行わせ、データ転送を行わせる。

【0016】つぎに、各部の内部構成を、図4、図5および図6を参照して説明する。

【0017】図4に、アドレスコントローラ2の内部構成を示し、図5に、CPU1の内部構成を示し、図6に、I/Oバスアダプタ4、LANアダプタ41またはグラフィックコントローラ42などのアダプタにおける内部構成を示す。

【0018】図4において、アドレスコントローラ2は、アドレスバス5aおよびデータバス5dへのアクセスを制御するバスアビタ220と、アドレスバス5aに接続され、アドレスを送受信する送受信バッファ221と、受信したアドレスを保持する受信レジスタ222と、送信すべきアドレスを保持する送信レジスタ223と、受信したアドレスとそれに対応する同期メモリ3へ

のアドレスおよびコマンドとを記憶する変換テーブル225と、変換テーブル225を参照し、受信したアドレスを、それに対応する同期メモリ3へのアドレスおよびコマンドに変換する変換部224と、変換されたコマンドをコマンド・コントロールバス5cを介して指示するコマンド制御部226とを備える。

【0019】バスアビタ220は、アービトレーションバス5arbを介して、後述するようなアービトレーションを行い、バスへのアクセス権を確保したときに、送受信バッファ221を指示して送信すべきアドレスをアドレスバス5aに送出させる。また、送受信バッファ221は、CPU1、LANアダプタ41、グラフィックコントローラ42またはI/Oバスアダプタ4から送出された同期メモリ3へのアクセスのために割り当てられているアドレスを、アドレスバス5aを介して受信する。受信レジスタ222および送信レジスタは、それぞれ、FIFOメモリにより構成される。変換テーブル225には、CPU1等から指示されるアドレスと、それに対応する同期メモリ3へのアドレスおよびコマンドとが予め設定されており、変換部224は、変換テーブル225を参照して変換を行う。前述の例において、システムコールを受けたオペレーティングシステムが、領域7a1から領域7o1にメモリ間コピーを行う場合には、CPU1が、同期メモリ3の領域7a1を読みだし、読みだした内容を領域7o1に書き込むよう命令する。アドレスコントローラ2は、送受信バッファ221においてこの命令を受け、変換部224は、受信レジスタ222を介してこの命令を受けると、領域7a1と領域7o1とに対応する同期メモリ3に対し、コマンド制御部226およびコマンド・コントロールバス5cを介してアクティブコマンドを送出すると共に、まず、領域7a1と領域7o1とに対応する同期メモリ3のローアドレスを、送信レジスタ223、送受信バッファ221およびアドレスバス5aを介して指示する。つぎに、変換部224は、予め定められた時間（同期メモリ3の規格による）経過後に、領域7a1に対応する同期メモリ3に対し、コマンド制御部226およびコマンド・コントロールバス5cを介してリードコマンドを送出すると共に、領域7a1に対応する同期メモリ3のカラムアドレスを指示する。その後、領域7o1とに対応する同期メモリ3に対し、コマンド制御部226およびコマンド・コントロールバス5cを介してライトコマンドを送出すると共に、領域7o1に対応する同期メモリ3のカラムアドレスを指示する。これらの動作のタイムチャートについては後述する。

【0020】アドレスコントローラ2は、以上のように動作することにより、同期メモリへのアクセスを制御する。

【0021】また、CPU1における構成は、図5に示すように、アドレスバス5aおよびデータバス5dへの

アクセスを制御するバスアビタ230と、アドレスバス5aに接続され、アドレスを送受信する送受信バッファ231と、データバス5dに接続され、データを送受信する送受信バッファ233と、CPUにおける必要な演算処理をする演算部232とを備える。バスアビタ230は、アービトレーションバス5arbを介して、後述するようなアービトレーションを行い、バスへのアクセス権を確保したときに、送受信バッファ231を指示して送信すべきアドレスをアドレスバス5aに送出させ、また、送受信バッファ233を指示して送信すべきデータをデータバス5dに送出させる。また、送受信バッファ231は、同期メモリ3、LANアダプタ41、グラフィックコントローラ42またはI/Oバスアダプタ4から送出された、CPU1に割り当てられているアドレスを、アドレスバス5aを介して受信する。また、送受信バッファ233は、同期メモリ3、LANアダプタ41、グラフィックコントローラ42またはI/Oバスアダプタ4から送出されたCPU1へのデータを、データバス5dを介して受信する。

【0022】さらに、I/Oバスアダプタ4、LANアダプタ41またはグラフィックコントローラ42などのアダプタは、図6に示すように、アドレスバス5aおよびデータバス5dへのアクセスを制御するバスアビタ240と、アドレスバス5aに接続され、アドレスを送受信する送受信バッファ241と、データバス5dに接続され、データを送受信する送受信バッファ243と、各々のアダプタにおける必要な制御を行う制御部242とを備える。バスアビタ240は、アービトレーションバス5arbを介して、後述するようなアービトレーションを行い、バスへのアクセス権を確保したときに、送受信バッファ241を指示して送信すべきアドレスをアドレスバス5aに送出させ、また、送受信バッファ243を指示して送信すべきデータをデータバス5dに送出させる。また、送受信バッファ241は、他の装置から送出され、このアダプタに割り当てられているアドレスを、アドレスバス5aを介して受信する。また、他の装置から送出され、このアダプタに割り当てられているデータを、データバス5dを介して受信する。制御部242は、例えば、I/Oバスアダプタ4であれば、I/OバスとCPUバスとの転送の制御を行う。

【0023】つぎに、各装置におけるバスアビタのアービトレーションについて説明する。

【0024】図7～図9に、本発明の実施の形態におけるCPUバスのアービトレーションバスの形態と動作の説明図とを示す。図7および図9において、5arbはアービトレーションバスを示している。本発明の実施の形態では、バスへのアクセスを各装置でそれぞれ判断する分散アービトレーション方式と、アドレスコントローラがバスへのアクセス権を指示する集中アービトレーション方式とについて説明する。

【0025】まず、分散アービトレーション方式の具体的な動作を図7および図8を参照して説明する。図7において、分散アービトレーション方式においては、CPU1、アドレスコントローラ2、I/Oバスアダプタ4、LANアダプタ41またはグラフィックコントローラ42の各装置それぞれごとに利用する専用のアービトレーションバス5arbにそれぞれ接続される。図7に示す構成では、CPU1、アドレスコントローラ2、I/Oバスアダプタ4、LANアダプタ41またはグラフィックコントローラ42について、5本のアービトレーションバスが設けられる。分散アービトレーション方式では、各装置は、データバスおよびアドレスバスにアクセスする必要があるときにのみ、専用のアービトレーションバスにバスの使用権要求信号を出力することでアービトレーションに参加する。また、アービトレーションバス5arbに出力される各装置のバス使用権要求信号を受信し、各装置に内蔵されたそれぞれのバスアビタが、受信したバス使用権要求信号から、次にバス使用権を獲得すべき装置を判定する。判定は、予め定められた、各装置のバス使用権のプライオリティにより獲得すべき装置を決定する。判定の結果、プライオリティの高い装置がバス使用権を獲得し、バス使用権を獲得した装置が、バスマスタとなり、データバスおよびアドレスバスを使用する。プライオリティは、アドレスコントローラ2を最優先としておく。他の装置は自らの出力をハイインピーダンス状態とし、データバスおよびアドレスバス上に2つ以上のバスマスタを存在させない。こうすることで、データバスおよびアドレスバス上でのデータの衝突を回避している。

【0026】図8に、各装置のバスアビタの動作状態を示す。図8において、バスアビタは、装置の電源がオンになった後、バス使用権を必要としない間アイドル状態201にある。この状態で装置は、CPUバス5を伝搬するアドレスやデータ、マルチプロセッサ構成におけるキャッシュコヒーレンシの受信を行っており、自発的なバスへのデータ出力はマルチプロセッサ構成におけるキャッシュコヒーレンシ以外にはなされない。今、装置がデータ処理中に、読み出し、書き込み等の必要に至り、読み出し、書き込み等のアドレスやデータが、各装置の送受信バッファにキューイングされると、アイドル201の状態からアービトレーション・フェーズ202に遷移する。アービトレーション・フェーズ202において、バスアビタはアービトレーションバス5arbにバス使用権要求信号を出力し、また、同一サイクルに出力された他の装置のバス使用権要求信号を受信する。受信されたバス使用権要求信号に対応する装置と自装置とのプライオリティを比較し、プライオリティにしたがって、自装置がバス使用権を獲得できるか否かを判定する。獲得できなかった場合は、アービトレーションフェーズ202に留まり、次のアービトレーションに参加し、バス使用権が獲得できるまでこの状態に留まる。

【0027】また、複数の異なるプライオリティを記憶し、一定時間ごとに使用するプライオリティを変更するラウンドロビンテーブルを備えてもよい。また、プライオリティを決めておく以外にも、アービトレーションのポリシー（バス使用権を獲得する条件等の取り決め）を規定しておき、そのポリシーにしたがってバスのアービトレーションを行うようにしてもよい。また、アービトレーションフェーズ202の状態ではアービトレーション中に、先にバス使用権を獲得した装置から出力されたアドレスが同期メモリ3に対する読み出し/書き込み要求であった場合には、バス使用権をアドレスコントローラ2に委譲し、このサイクルにおける自装置のアービトレーションは放棄し、アービトレーションフェーズ202に留まり、次のサイクルにおいてアービトレーションを行う。このように、アドレスコントローラ2にCPUバス5の使用権を無条件で委譲し、バス上での衝突を回避している。

【0028】バス権を獲得するとアービトレーション・フェーズ202から203のスタンバイ状態に遷移する。スタンバイ203において、先にバス使用権を獲得した装置から出力されたアドレスが同期メモリ3に対する読み出し/書き込み要求であった場合、転送待ち状態204とし、一連のアドレスバス5aでの転送が終了するのを待つ。先にバス使用権を獲得した装置が、CPUバス5にアドレスの出力が終り次第、バスマスタないしサイクルアボートの状態205に遷移し、バスの使用を開始する。バスの使用が終了すると自動的にアイドル201状態に遷移する。

【0029】各装置のバスアビタにおいて、以上説明したように動作することにより、分散アービトレーションを実現することができる。

【0030】つぎに、集中アービトレーションについて図9を参照して説明する。図9は、図7に示す分散アービトレーションを集中アービトレーションに置き換えた場合の構成を示している。図9において、集中アービトレーション方式においては、CPU1、アドレスコントローラ2、I/Oバスアダプタ4、LANアダプタ41またはグラフィックコントローラ42の各装置がアービトレーションバス5arbに接続されている。アービトレーションバス5arbは、アドレスコントローラ2に対して、各装置から使用権要求信号を出力するためのRequestバスと、アドレスコントローラ2からいずれかの装置に対してバス権を指示するためのGrantバスとを備える。

【0031】この場合、アドレスコントローラ2のバスアビタ220は、集中アービトレーションを行うための制御部であり、各装置のバスアビタからのバスの使用権要求信号を、アービトレーションバス5arbのReq

uestバスを介して受信する。バスアビタ220は、受信したバス使用権要求信号の各装置のプライオリティを比較し、よりプライオリティの高い装置にバス使用権を与える。バス使用権を獲得した装置がアドレスコントローラ2以外の場合、アービトレーションバス5arbのGrantバスを通じてバス権を与える。この場合、バスアビタ220は、アービトレーションバス5arbのGrantバスを介して、バス権を獲得した装置を示す識別情報のIDを送出し、各装置のバスアビタでは受信したIDと自己のIDとを比較する事でバス権の獲得を認知する。

【0032】また、アドレスコントローラ2がバスの使用権を獲得した場合、アービトレーションバス5arbのGrantにアドレスコントローラ2に相当するIDを出力する。アドレスコントローラ2を介して、同期メモリ3間またはCPU1、I/Oバスアダプタ4、LANアダプタ41、グラフィックコントローラ42間でデータ転送がなされる時には、明示的に、アドレスコントローラ2に相当するIDを出力する。アドレスコントローラ2に相当するIDが出力されると、他の装置は、アドレスコントローラ2による一連のアドレスバス5aでの転送が終了するのを待つ。こうすることでアドレスコントローラ2にバス5の使用権を無条件で委譲させ、バス上での衝突を回避している。

【0033】各装置のバスアビタにおいて、以上説明したように動作することにより、集中アービトレーションを実現することができる。

【0034】つぎに、同期メモリ3が複数の動作モードを備える場合の、アドレスコントローラ2と同期メモリ3との動作モードの設定方法について説明する。

【0035】図10に、本発明の実施の形態に示した情報処理装置のCPUバスにおけるSDRAMの動作モードの設定方法を示す。動作モードは、同期メモリ3のコマンドとコマンドとの時間間隔や、読み出し動作時に、リードコマンドから何サイクル後にデータが帰ってくるかを規定するものであり、予め定めた複数種類の動作モードを備え、いずれの動作モードであるかを設定する。アドレスコントローラ2では、同期メモリ3の動作モードにしたがってメモリアクセスのスケジューリングを行う。

【0036】図10において、101は、BIOS ROMであり、SDRAMの動作モードを記憶する。102は、BIOS ROMの内容の一部を示し、各I/Oアドレスごとに動作モードを設定している例を示す。21は、アドレスコントローラ2のシーケンサであり、前述した図4に示す変換部224に備える。22は、I/O空間にマッピングされた同期メモリ3の動作モードを指定するためのシーケンサのレジスタであり、I/Oアドレスを保持する。23は、I/Oアドレスからそれに対応する動作モードに変換するための変換テーブル、2

4は動作モードを保持するレジスタ、301は同期メモリの内部のレジスタである。

【0037】本発明の実施の形態に示した情報処理装置は、起動時ないし通常運転時に、BIOS ROM101の内容を参照し、構成要素の設定を行う。BIOS ROM101には、同期メモリ3の複数種類の動作モードがI/O空間を指し示すアドレスに対応してあらかじめ格納されている。同期メモリ3の動作モードは、初期値が予め設定されており、また、利用者が、HDDやフラッシュメモリと云った不揮発性データ格納手段に動作モードを設定することができる。アドレスコントローラ2のシーケンサ21には、I/O空間を指し示すアドレスに対応してそれぞれ動作モードが変換テーブル23に格納されている。

【0038】以下、同期メモリ3のレジスタ設定について説明する。CPU1は、同期メモリ3のレジスタ301に、初期値もしくは利用者が設定した設定値にしたがって、動作モードを設定する。この場合、CPU1は、BIOS ROM101から、初期値もしくは利用者が設定した設定値に対応するプログラムコードであるBIOS ROMの内容の一部102を読み出す(図10に示す①)。読みだされたプログラムコードは、CPU1により、BIOS ROMの内容の一部102にしたがって、同期メモリ3のI/O空間を指し示すアドレスに変換される。CPU1は、CPUバス5のアドレスバス5aに変換されたアドレスを出力し、また、ダミーデータをCPUバス5のデータバス5dに出力する(図10に示す②)。BIOS ROMの内容の一部102により変換されたアドレスは、全てアドレスコントローラ2のシーケンサ21にマッピングされており、この場合のアドレスの実体は、I/O空間にマッピングされたシーケンサのレジスタ22である。このため、アドレスコントローラ2は、CPUバス5のアドレスバス5aから、アドレスを受信する。このI/O空間を指し示すアドレスはI/O空間にマッピングされたシーケンサのレジスタ22を示し、受信されたI/O空間を指し示すアドレス自身は、レジスタ22の内容として書き込まれる。

【0039】アドレスコントローラ2のシーケンサ21は、I/O空間にマッピングされたシーケンサのレジスタ22への書き込みが行われると、書き込まれた内容、即ちI/O空間を指し示すアドレスを、シーケンサの内部の変換テーブル23を参照することにより、同期メモリ3のレジスタ301に書き込むための動作モードに変換する。変換された動作モードは、シーケンサ内部のレジスタ24に書き込まれる。動作モードは、以後、シーケンサ21により参照され、同期メモリ3へのコマンドとコマンドの間隔や読み出し動作時に、リードコマンドから何サイクル後にデータが帰ってくるかを知るために利用される。こうして同期メモリ3の動作モードを認知することでアドレスコントローラ2に於いてメモリアク

セスのスケジューリングを行うことができる。この動作モードは、再度I/O空間にマッピングされたシーケンサのレジスタ22の内容が変更されない限り変更されない。

【0040】また、アドレスコントローラ2は、シーケンサ内部のレジスタ24にモードの設定値が書き込まれると、バスの使用权を要求し、バスの使用权を獲得した後、CPUバス5のアドレスバス5aを介して、同期メモリ3のレジスタ301に動作モードを書き込み、同期メモリのモード設定を完了する。

【0041】以上説明したように処理することにより、アドレスコントローラ2と同期メモリ3との動作モードの設定することができる。

【0042】つぎに、メモリ間コピーと、データ転送における動作をタイムチャートを参照して説明する。なお、バスのアクセス権については、前述したアクセス制御を行い、アクセス権を獲得しているものとして説明を行う。また、転送の命令等は予め定められており、アドレスは、前述したように予めマッピングされている。

【0043】図11にメモリ間コピーにおける動作順序を示し、図12にそのタイムチャートを示す。前述の例において、システムコールを受けたオペレーティングシステムが、領域7a1から領域7o1にメモリ間コピーを行う場合には、CPU1が、同期メモリ3の領域7a1を読みだし、読みだした内容を領域7o1に書き込むよう命令する。アドレスコントローラ2は、この命令を受けると、前述したように、この命令をそれに対応するアドレスとコマンドとに変換して指示を行う。具体的には、図12に示すように、アドレスバス5aの下位ビットに領域7a1に対応するローアドレス601a1を出力し、コマンド・コントロールバス5cにアクティブコマンド601a1を出力する。また、同様に、アドレスコントローラ2は、アドレスバス5aの下位ビットに領域7o1に対応するローアドレス602a1を出力し、コマンド・コントロールバス5cにアクティブコマンド602a1を出力する。また、予め定められた時間経過後に、領域7a1に対応する同期メモリ3に対し、リードコマンド601a2を送出すると共に、領域7a1に対応する同期メモリ3のカラムアドレス601a2をアドレスバス5aの下位ビットを介して指示する。その後、領域7o1とに対応する同期メモリ3に対し、コマンド・コントロールバス5cを介してライトコマンド602a2を送出すると共に、領域7o1に対応する同期メモリ3のカラムアドレス602a2を指示する。この場合、同期メモリ3は、アクティブコマンドおよび列アドレスからなる601a1と、リードコマンドおよび行アドレスからなる601a2との間には空きサイクルが挿入される。同期メモリ3は、601a2から予め定められた時間経過後、例えば、3サイクル後にデータ603dを出力する。特に書き込みコマンドと行アドレスか

らなる602a2は、データ603dと同一サイクルに出力する。データ603dが出力された時点で、領域7o1に対応するアドレスへの書き込みが完結される。同一サイクルで出力されることで書き込み先の同期メモリ3は、通常の書き込みに必要な、行アドレス、コマンド、コントロール、データを受け取り、書き込み動作が可能となる。なお、図12に、従来の情報処理装置(current system)において同一条件でメモリ間コピーを行った場合の例を示す。従来のメモリコントローラは、同期メモリにアクセス後、メモリコントローラが受け取ったデータを出力することで書き込みを行っている。このため、本実施の形態によれば、従来のメモリ間コピーより5サイクル分転送時間を短くすることができる。

【0044】つぎに、I/Oバスアダプタ4と同期メモリ3間のDMA(ダイレクトメモリアクセス)リード転送について説明する。図13に、I/Oバスアダプタ4と同期メモリ3間のDMAリード転送における動作順序を示し、図14にそのタイムチャートを示す。図13および図14におけるDMA転送は実際には同期メモリ3とHDD45間で行われる。図13および図14は、特にCPUからディスクコントローラ44へDMAリードコマンドの転送が終了し、I/Oバスアダプタ4のDMAリード転送の準備が完了した時点からの転送を示している。I/Oバスアダプタ4は、アドレスバス5aにDMAリード転送の読み出し先アドレス604aを送信する。アドレスコントローラ2は、DMAライト転送の書き込み先アドレス604aに基づき、アドレスバス5aの下位ビットとコマンド・コントロールバス5cに605a1および605a2を出力する。アクティブコマンドおよび列アドレスからなる605a1と、リードコマンドおよび行アドレスからなる605a2とのそれぞれの間には、予め定められた空きサイクルが挿入される。同期メモリ3は、605a2から3サイクル後にデータ606dを出力する。アドレスコントローラ2は、データ606dと同一サイクルで、アドレスバス5aにI/Oバスアダプタ4に割り振られたアドレス606aを出力する。I/Oバスアダプタ4は、アドレス606aとデータ606dとを受信した後、アドレス606aを識別することにより、着信したデータ606dが、先に自らが出力した604aに対するデータであることを認知する。I/Oバスアダプタ4は、認知した後に、応答バス5kに応答607を出力し、その後、I/Oバスを介してHDD45にデータを転送する。アドレスコントローラ2は、応答バス5kを介して応答607を受信すると、転送が完了したことを認識し、一連の転送が完結する。また、アドレスコントローラ2は、アドレス606aを出力後、一定時間経過後に、応答607を受信しなかったときには、再度、アドレス605a1および605a2とアドレス606aとを指示するようにしてもよい。

【0045】図14において、従来の情報処理装置において同一条件でDMAリード転送を行った場合を示す。従来のメモリコントローラでは、同期メモリにアクセス後、メモリコントローラが受け取ったデータをI/Oバスアダプタ4に対して出力している。このため、本実施の形態によれば、従来のメモリ間コピーより5サイクル分転送時間を短くすることができる。

【0046】つぎに、I/Oバスアダプタ4と同期メモリ3間のDMAライト転送について説明する。図15に、I/Oバスアダプタ4と同期メモリ3間のDMAリード転送における動作順序を示し、図16にそのタイムチャートを示す。図15および図16におけるDMA転送は実際には同期メモリ3とHDD45間で行われる。図16は、特にHDD45からI/Oバスアダプタ4へデータが転送されCPUバス5への送信準備が完了した時点からの転送を示している。I/Oバスアダプタ4は、アドレスバス5aにDMAライト転送の書き込み先アドレス608aを送信する。アドレスコントローラ2は、DMAライト転送の書き込み先アドレス608aに基づき、アドレスバス5aの下位ビットとコマンド・コントロールバス5cに609a1および609a2を出力する。アクティブコマンドと列アドレスからなる609a1と、書き込みコマンドと行アドレスからなる609a2との間には、同様に空きサイクルが挿入される。609a2と同一サイクルでI/Oバスアダプタ4は、同期メモリ3に書き込むべきデータ610dをデータバス5dに出力する。書き込み先の同期メモリ3は、書き込みコマンドと行アドレスからなる609a2を受け取り、データ610dを指定されたアドレスに書き込む。

【0047】つぎに、CPU1によるメモリ読み出しの動作を説明する。図17に、CPU1によるメモリ読み出しにおける転送手順を示し、図18に、そのタイムチャートを示す。図18において、CPU1はアドレスバス5aに読み出し要求611aを出力する。アドレスコントローラ2は、読み出し要求611aを受信すると、612a1および612a2をアドレスバス5aの下位ビットとコマンド・コントロールバス5kとに出力する。612a2から2サイクル後に同期メモリ3はデータ613dを出力し始める。CPU1は、データバス5dから613dを受信し、転送が完結する。

【0048】本発明の第1の実施の形態において、読み出し要求611aは2サイクルからなり、読み出し先のアドレス、メモリへの読み出しを示すコマンド、転送ID等の情報を含む。転送IDは、CPU1が要求した読み出し転送に対して、即時にデータが読み出せない場合等転送が遅延する場合に用いられる。通常遅延が予測されると、当該転送を打ち切り、転送IDはメモリコントローラやバスアダプタが保持し、データが用意できた時点で、転送IDを添付したデータを出力する。CPU1はこの転送IDを元に、受信したデータがどのアドレス

に該当するものか認知する。例えば、アドレスコントローラ2ないし該当アドレスの同期メモリ3が多忙な場合、もしくはアドレスコントローラ2が前述した転送がCPUバス5上で完了していない事を認知した場合、アドレスコントローラ2は、読み出し要求611aに対する打ち切りをCPU1に通告し、転送IDを保持する。多忙な状態が終わった時点ないし転送の完了が予測された時点で、612a1以降の一連の読み出しを行い、613dの先頭サイクルで転送IDを出力する。この転送IDを元に、CPU1は遅延した613dの該当アドレスを認知することができる。

【0049】以上説明した様に、本発明の第1の実施の形態によれば、同期メモリをCPUバスに直接接続させることができる。また、アドレスコントローラ2は、データを受信しないのでデータ転送時間を短縮することができる。

【0050】本発明の第1の実施の形態において、CPUは、1つであったが2つ以上搭載されても、CPUバス5がCPUバスのバスプロトコルに互換性を有しているので安定に動作する。また、同期メモリ3はSDRAMであったが、クロックに同期動作するメモリ素子なら置き換えは可能である。

【0051】また、メモリ素子3はメモリモジュールであっても構わない。

【0052】つぎに、本発明の第2の実施の形態を図19、図20および図21を参照して説明する。簡単のため本発明の第1の実施の形態と重複する説明は割愛し、第1の実施の形態との差異を説明する。第2の実施の形態においては、第1の実施の形態におけるアドレスコントローラ2の機能をCPU11に備える。

【0053】本発明の第2の実施の形態の情報処理装置は、CPUバス5に、CPU11、SDRAMである同期メモリ3、I/Oバスが接続されるI/Oバスアダプタ4、LANアダプタ41、および、グラフィックコントローラ42が接続されている。本発明の第2の実施の形態において、CPU11は、前述した第1の実施の形態におけるプロトコルと同様なプロトコルを規定したCPUバスインタフェースを持つ。その他に、CPU11は、同期メモリ3へのコマンド・コントロールバス5cと応答バス5kに対するインタフェースを持つ。

【0054】CPU11の動作を図20および図21を参照して説明する。図20に、CPU11によるメモリ読み出しにおける転送手順を示し、図21に、そのタイムチャートを示す。図21において、CPU11は、メモリからデータを読み出す場合には、直接、バス5aの下位ビットとコマンド・コントロールバス5kとに801a1と801a2とをそれぞれ出力し、読み出しを行う。同期メモリ3は、SDRAMであり、アクティブコマンドと列アドレスとからなる801a1と、リードコマンドと行アドレスとからなる801a2との間には、予め定

められた空きサイクルが挿入される。同期メモリ3は、801a2から3サイクル後にデータ802dを出力する。CPU11は、このデータ802dを受信しメモリの読み出しが完結する。

【0055】図21において、従来の情報処理装置において同一条件でメモリ間コピーを行った場合を示す。従来のメモリコントローラは、CPUバスからCPU11の読み出し要求を受け2サイクル後に、801a1以降の一連の読み出しを行う。この後、従来のメモリコントローラは、読み出したデータ802dを2サイクル後にCPUバスに出力している。このため、本実施の形態によれば、従来のメモリ間コピーより4サイクル分転送時間を短くすることができる。

【0056】つぎに、本発明の第3の実施の形態を説明する。第3の実施の形態では、情報処理装置にCPUを2つ搭載する。図22に、第3の実施の形態における情報処理装置の構成を示す。

【0057】図22において、CPU12aおよびbは、マルチプロセッサ構成で、同期SRAM31をキャッシュメモリとして共有し、また、CPU12aおよびbは、個別に所有ないし内蔵するキャッシュメモリをそれぞれ備える。CPUバス5としてccバス51をさらに備える。ccバス51には、それぞれが内蔵するキャッシュメモリの内容が一致するか異なっているかを示すクリーン・ダーティビットを示すバスを備える。アドレスコントローラ2は、キャッシュメモリの参照履歴に基づく情報を格納する同期タグSRAM32が接続される。アドレスコントローラ2と、同期タグSRAM32と、同期SRAM31とによりキャッシュメモリシステムを構成する。アドレスコントローラ2は、同期タグSRAM32の情報を元に、同期SRAM31の内容とCPU12aおよびbに内蔵されたキャッシュメモリの内容との整合を図る。同期タグSRAM32は、タグアドレスに対応して、タグデータを記憶する。タグデータとしては、タグアドレスに対応する同期SRAM31のアドレスと、そのアドレスに対応する領域のデータが存在する（ヒット）か否か（ミスヒット）を示す参照履歴とが保持される。ヒット時には、そのアドレスに対応する領域にデータが存在するので、同期SRAM31のアドレスを指示することにより読み出しが行われる。ミスヒットのときには、同期メモリ3のアドレスを指示することにより読み出しが行われる。また、CPU12aおよびbに、個別に所有ないし内蔵するキャッシュメモリについても、それぞれ、それぞれのキャッシュメモリのアドレスに対応する内容が変更されていないか（クリーン）、変更されているか（ダーティ）かの情報を保持する。ダーティの場合には、内蔵するキャッシュメモリの内容が変更されているので、同期SRAM31に記憶する内容は、読みだされても採用せず、内蔵するキャッシュメモリから読み出されたデータを採用する。また、ダ

ーティの場合には、同期SRAM31に記憶する内容を変更するために、内蔵するキャッシュメモリの内容を読み出し、同期SRAM31にその読みだした内容を書き込む（ライトバック）動作を行う。

【0058】図23～28を参照して本実施の形態における主記憶の読み出し・書き込み動作を説明する。

【0059】図23に、一方のCPU12aからの読み出し動作における順序を示し、図24にそのタイムチャートを示す。図23および図24において、一方のCPU12aが読み出し要求901を送出すると、アドレスコントローラ2は、同期タグSRAM32にタグアドレス902taを出力し、タグデータ902tgを得る。アドレスコントローラ2は、タグデータ902tgに含まれるアドレスと参照履歴を元にした情報から同期SRAM中に当該アドレスのデータが存在するか否かの判定を行う。

【0060】存在すれば、いわゆるヒットと判定し、アドレスおよびリードコマンド902aを送出し、同期SRAM31への読み出しを行う。読みだし要求901が送出された3サイクル後に、アドレスコントローラ2は、ccバス51にヒットを示す902hを送出し、同期SRAM31は、指示されたアドレスに対応するデータ902dを送出する。アドレスコントローラ2は、データバス5dの利用状況を監視しており、混雑時は902aの送出を遅らせることでデータ902dの送出されるサイクルを制御している。以上がヒット時の読み出し動作である。

【0061】存在しない、いわゆるミスヒットと判定されると、同期メモリ（SDRAM）3に対して読み出しの指示をするために903a1および903a2を出力する。アドレスコントローラ2は、901が送出された3サイクル後に、ccバス51にミスヒットを示す903mを送出する。その後、同期メモリ3は、データ903dを送出する。アドレスコントローラ2はデータバス5dの利用状況を監視しており、混雑時は903a2の送出を遅らせることでデータ903dの送出されるサイクルを制御している。

【0062】アドレスコントローラ2は、同期タグSRAM32中の内容のタグデータ903tgでの置き換えと、同期SRAM31への903aの書き込みとによりキャッシュシステムのデータの整合をとる。すなわち、アドレスコントローラは、同期メモリ3への読み出し動作中に、タグアドレス903taに指示される同期タグSRAM32中の内容をタグデータ903tg（アドレスおよびデータが存在することを示す参照履歴）で置き換える。その後、同期メモリ3からの読み出しデータ903dの送出されるサイクルにあわせて、同期SRAM31への書き込み903aを行う。以上がミスヒット時の読み出し動作である。

【0063】このようにして、アドレスコントローラ2

は、キャッシュメモリシステムを構成する同期SRAMの内容に従い、読み出し要求901が送出された3サイクル後に、ccバス51にヒットを示す902hないしミスヒットを示す903mを送出する。

【0064】一方、読み出し要求901を送出したCPU12a以外の他のCPU12bは、個別に所有ないし内蔵するキャッシュメモリ中に、読み出し要求901のアドレスに対応する内容が変更されていないか（クリーン）、変更されているか（ダーティ）かを判定する。

【0065】判定の結果は、アドレスコントローラ2が902hもしくは903mを送出する同一サイクル、すなわち読み出し要求901が送出された3サイクル後に、ccバス51のクリーン・ダーティビットとして送出される。このクリーン・ダーティビットの信号線は1ビットのいわゆるワイアードオアで実現される。このほかに個々のCPUに1ビットずつ所有させて、他のCPUに監視させる構成も可能である。

【0066】判定結果がクリーンだった場合、先に示したヒットもしくはミスヒット時の動作が続行される。ダーティであった場合、ヒット時、読み出しを要求したCPU12aはデータ902dを受け流すことによりこのデータ902dを採用しない。また必要により、同期SRAM31にコマンドを送出し、読み出しを打ち切る。

【0067】また、ダーティであった場合でミスヒット時には、903a2の送出を抑制しプリチャージコマンド904aにより読み出しを打ち切る。

【0068】ダーティを判定したCPU12bは、データの書き戻し要求905を送出する。アドレスコントローラ2は、データの書き戻し要求905があると、再度、同期タグSRAM32にタグアドレス905taを出力し、タグデータ905tgを得る。この905taは先の902taと同一であり、先に、CPU12bによりダーティとされているので、アドレスコントローラ2は905tgの内容を無視する。書き込み要求905の送出から3サイクル後にccバス51に905cを送出する。同時に同期タグSRAM32について、905taと同一タグアドレス906taの内容をタグデータ906tgに置き換える。

【0069】同時に、同期メモリ3に905a1を送出し、書き戻しを要求したCPUから送出されるデータ905dとサイクルを揃えて、905a2を送出し、書き込みを行う。読み出し要求901を送出したCPUはCPUバス5のデータバス5dを監視しており、書き戻されるデータ905dを受信し、当初の読み出しを完了する。以上がダーティ時の書き戻し動作である。

【0070】つぎに、一方のCPU12aから同期メモリ3への書き込み動作を説明する。図25に、一方のCPU12aから同期メモリ3への書き込み動作における順序を示し、図26にそのタイムチャートを示す。図25および図26において、一方のCPU12aが書き込

み要求911を送出すると、アドレスコントローラ2は、同期タグSRAM32にタグアドレス912taを出力し、タグデータ912tgを得る。アドレスコントローラ2は、タグデータ912tgに含まれるアドレスと参照履歴とを元にした情報から同期SRAM中に当該アドレスのデータが存在するか否か（ヒット／ミスヒット）の判定を行う。

【0071】判定の結果を書き込み要求911の3サイクル後に912h／912mを送出する。ヒット時は、続いて同一タグアドレス912ta2に、無効情報を含むタグデータ912tg2で置き換える。この無効情報は、同期SRAM中に912taに該当するデータが存在するが無効であること、すなわち主記憶である同期メモリ3が有効である旨を示す。

【0072】書き込み要求911を送出したCPU12a以外の他のCPU12bは、個別に所有ないし内蔵するキャッシュメモリ中に、書き込み要求911のアドレスに指示された内容が変更されていないか／変更されているか、いわゆるクリーン／ダーティを判定する。

【0073】判定結果913は、アドレスコントローラ2が902hもしくは902mを送出する同一サイクル、すなわち読み出し要求911が送出された3サイクル後にccバス51のクリーン・ダーティビットに送出される。判定結果がクリーンだった場合、書き込み動作は続行される。アドレスコントローラ2は、同期メモリ3へ912a1を送出し、書き込み要求を送出したCPUからの書き込みデータ912dの送出に揃えて912a2を送出し、書き込みを完了する。

【0074】ダーティであった場合、アドレスコントローラ2は、912a2の送出を抑制し、913aのプリチャージコマンドにより書き込み動作を打ち切る。また書き込み要求911を送出したCPUも書き込み動作を打ち切る。

【0075】書き込みを打ち切った時点で、書き込み要求911を送出したCPUの書き込みデータの有効性を判定する。本発明の第3の実施の形態では、他のCPUがダーティなデータを所有していることが原因となる書き込みの打ち切りをエラーと判定し、オペレーティングシステムないしアプリケーションがデータの復元、ないし処理のやり直しを行う。

【0076】つぎに、一方のCPUからの無効化要求時の動作を説明する。図27に、一方のCPU12aからの無効化要求時の動作における順序を示し、図28にそのタイムチャートを示す。図27および図28において、一方のCPU12aが無効化要求921を送出すると、アドレスコントローラ2は、同期タグSRAM32にタグアドレス922taを送出し、タグデータ922tgを得る。タグデータ922tgを判定し、判定の結果がヒットの場合は、再度922taを送出し、無効情報を含むタグデータ922tg2に置き換える。無効化

要求921から3サイクル後にccバス51に923hもしくは923mを送出するが、無効化要求921を送出したCPUは受け流す。無効化要求921を送出したCPU12a以外の他のCPU12bは、個別に所有ないし内蔵するキャッシュメモリ中に、無効化要求921のアドレスに指示された内容が変更されていない／変更されている、いわゆるクリーン／ダーティであるかを判定する。判定結果は、923hもしくは923mと同じサイクルにccバス51のクリーン・ダーティビットに送出される。

【0077】判定結果がクリーンの場合、図28に示すの以後のデータ転送は打ち切られ、無効化要求は完了する。

【0078】判定結果がダーティの場合、当該アドレスのデータを所有するCPU12bが書き戻し要求922を送出する。アドレスコントローラ2は同期タグSRAM32に922taと同一のタグアドレス922ta2を送出し、先に置き換えた922tg2であるタグデータ924tgを得る。このタグデータを元に、書き戻し要求922送出の3サイクル後に、クリーン、すなわち無効である旨の922cをccバス51に送出する。あわせて、アドレスコントローラ2は、同期タグSRAM32の922taと同一のタグアドレス922ta3のタグデータをタグデータ925tgで置き換える。

【0079】アドレスコントローラ2は同期メモリ3に922a1を送出し、当該アドレスのデータを所有するCPUが送出する書き戻しデータ922dにサイクルを揃えて、922a2を送出することで同期メモリ3への書き戻しを行う。以上の動作で無効化要求が完了する。

【0080】以上説明したとおり、CPUバスに同期メモリを直接接続させたマルチプロセッサ構成においても、本発明の実施の形態に示したアドレスコントローラにより動作させることができる。また、キャッシュメモリシステムの構成も可能となる。

【0081】

【発明の効果】以上説明した様に、本発明によれば、従来CPUバスとメモリバスの階層化が解消され、CPUバスに同期メモリを接続させることができる。また、データ転送時間を短縮することができる。このため、I/Oからのメモリアクセスレイテンシが改善される。

【0082】また、アドレスコントローラにキャッシュタグメモリを接続し、同期メモリの一部を同期SRAMに置き換える事で、キャッシュメモリシステムを構成することができる。これにより、CPUからのメモリアクセスレイテンシが改善される。

【0083】また、CPUと同期メモリとが接続されたCPUバスに、CPUを複数個接続してもアドレスコントローラは、同期メモリへのアクセスを制御することができ、容易にマルチプロセッサ構成をとることができる。このため、プロセッサの台数効果による性能向上と

云う効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の情報処理装置の構成図である。

【図2】従来の情報処理装置の構成図である。

【図3】本発明の第1の実施の形態の情報処理装置のCPU上でのソフトウェアの動作とデータ転送の関係を示す説明図である。

【図4】本発明の第1の実施の形態のアドレスコントローラの構成図である。

【図5】本発明の第1の実施の形態のCPUの構成図である。

【図6】本発明の第1の実施の形態のアダプタの構成図である。

【図7】本発明の第1の実施の形態の情報処理装置の分散アービトレーションバスの構成を示す説明図である。

【図8】本発明の第1の実施の形態の情報処理装置のCPUに具備されるバス駆動制御部の動作を示す説明図である。

【図9】本発明の第1の実施の形態の情報処理装置の集中アービトレーションバスの構成を示す説明図である。

【図10】本発明の第1の実施の形態の情報処理装置のCPUバスにおけるSDRAMのモード設定を示す説明図である。

【図11】本発明の第1の実施の形態の情報処理装置のメモリ間コピーを示す説明図である。

【図12】本発明の第1の実施の形態の情報処理装置のメモリ間コピー時のタイムチャートである。

【図13】本発明の第1の実施の形態の情報処理装置のDMAリード転送を示す説明図である。

【図14】本発明の第1の実施の形態の情報処理装置のDMAリード転送時のタイムチャートである。

【図15】本発明の第1の実施の形態の情報処理装置のDMAライト転送を示す説明図である。

【図16】本発明の第1の実施の形態の情報処理装置のDMAライト転送時のタイムチャートである。

【図17】本発明の第1の実施の形態の情報処理装置のCPUのメモリ読み出しを示す説明図である。

【図18】本発明の第1の実施の形態の情報処理装置のCPUのメモリ読み出し時のタイムチャートである。

【図19】本発明の第2の実施の形態の情報処理装置の構成図である。

【図20】本発明の第2の実施の形態の情報処理装置のCPUのメモリ読み出しを示す説明図である。

【図21】本発明の第2の実施の形態の情報処理装置のCPUのメモリ読み出し時のタイムチャートである。

【図22】本発明の第3の実施の形態の情報処理装置の構成図である。

【図23】本発明の第3の実施の形態の情報処理装置のマルチプロセッサ構成でのメモリ読み出しを示す説明図

である。

【図24】本発明の第3の実施の形態の情報処理装置のマルチプロセッサ構成でのメモリ読み出し時のタイムチャートである。

【図25】本発明の第3の実施の形態の情報処理装置のマルチプロセッサ構成でのメモリ書き込みを示す説明図である。

【図26】本発明の第3の実施の形態の情報処理装置のマルチプロセッサ構成でのメモリ書き込み時のタイムチャートである。

【図27】本発明の第3の実施の形態の情報処理装置のマルチプロセッサ構成でのキャッシュ無効化要求時の動作を示す説明図である。

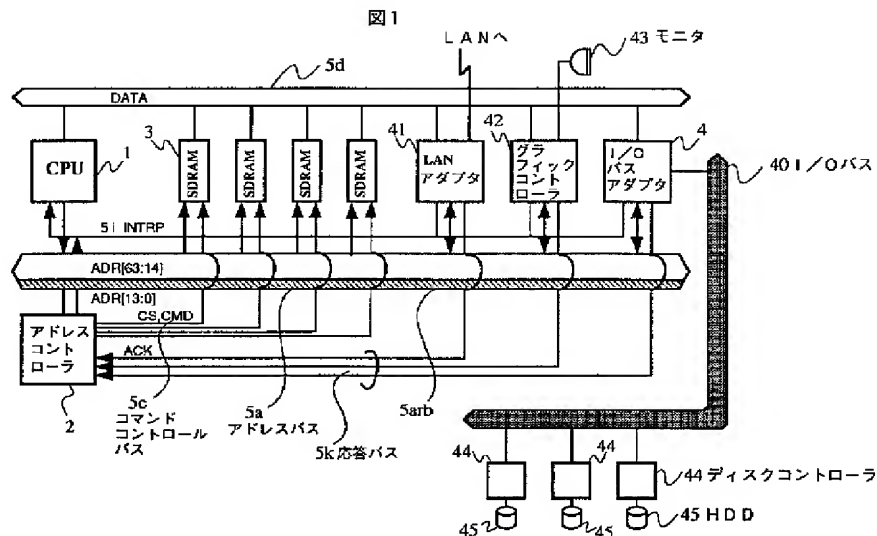
【図28】本発明の第3の実施の形態の情報処理装置のマルチプロセッサ構成でのキャッシュ無効化要求時のタイムチャートである。

【符号の説明】

1、11、12…CPU
2…アドレスコントローラ
3…同期メモリ
31…同期SRAM
32…同期タグSRAM

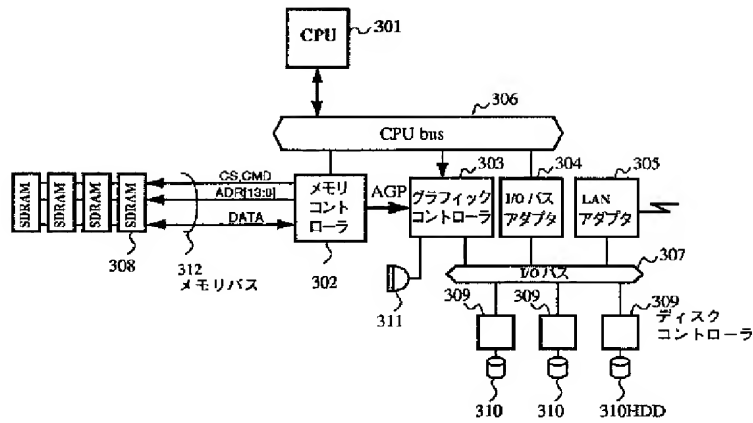
4…I/Oバスアダプタ
40…I/Oバス
41…LANアダプタ
42…グラフィックコントローラ
43…モニタ
44…ディスクコントローラ
45…HDD
5…情報処理装置のバス
5a…アドレスバス
5d…データバス
5c…コマンド・コントロールバス
5i…割り込みバス
5k…応答バス
51…キャッシュコヒーレンシのバス
101…BIOS ROM
102…BIOS ROMの内容の一部
21…アドレスコントローラ2のシーケンサ
22…I/O空間にマッピングされたシーケンサのレジスタ
23…シーケンサの内部の変換テーブル
24…シーケンサ内部のレジスタ
301…同期メモリの内部のレジスタ。

【図1】



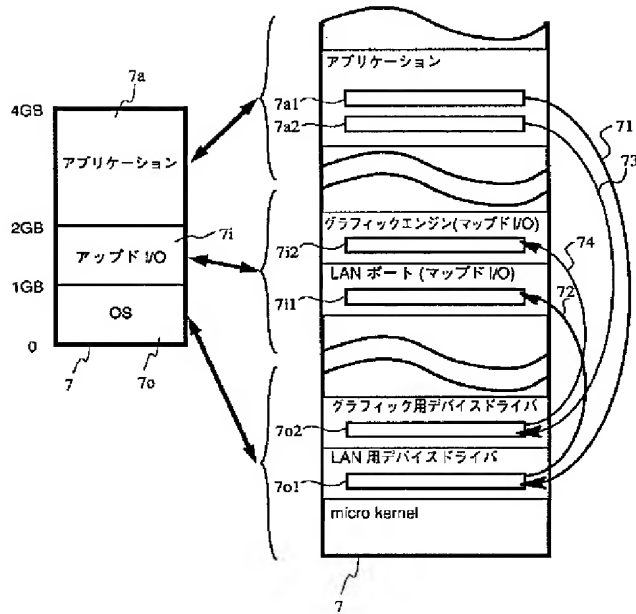
【図 2】

図 2



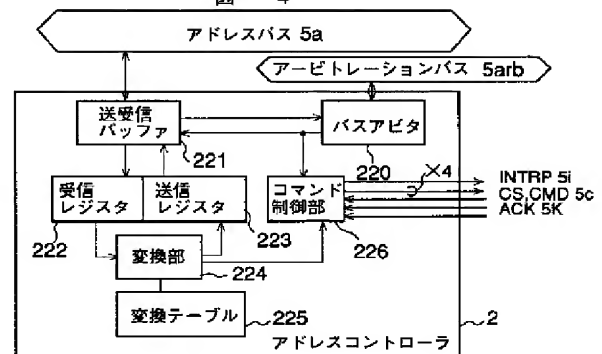
【図 3】

図 3



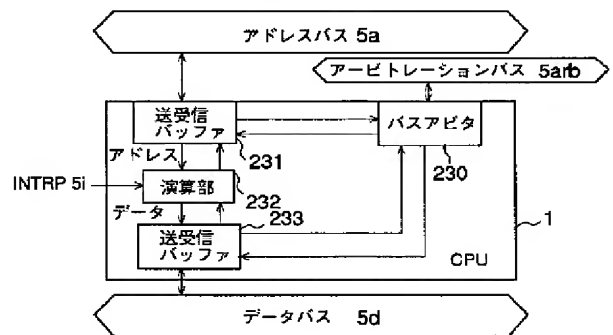
【図 4】

図 4

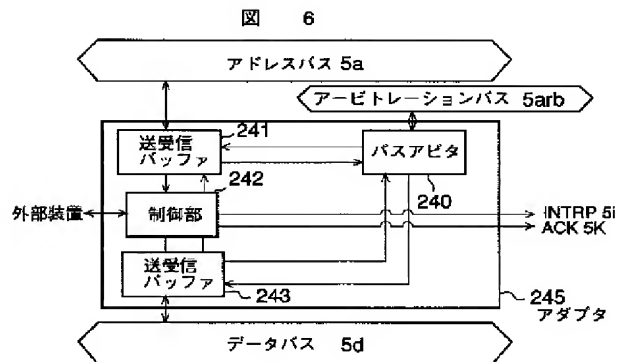


【図 5】

図 5

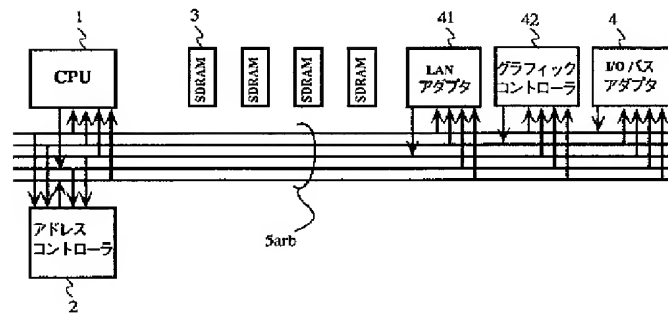


【図6】



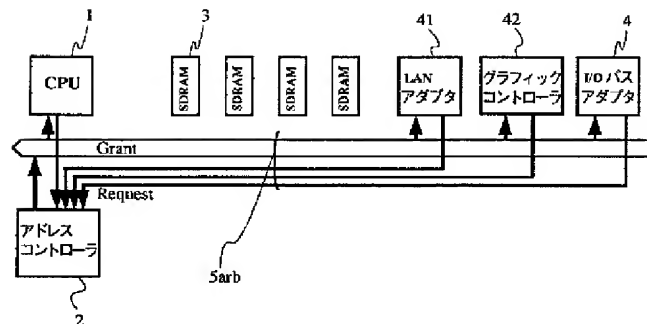
【図7】

図 7



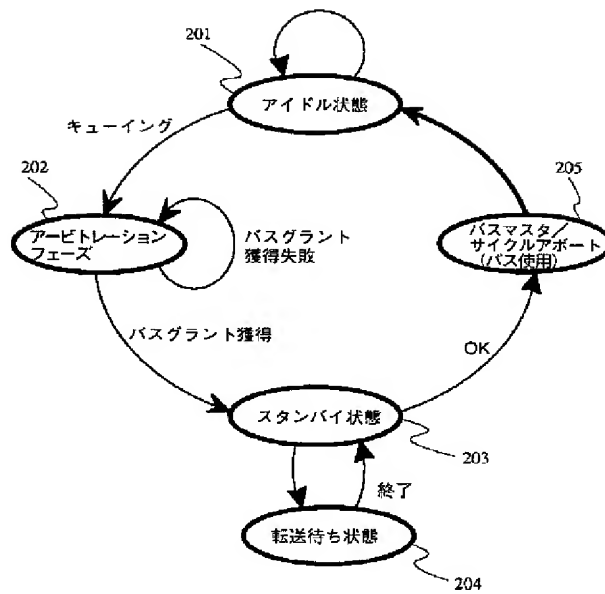
【図9】

図9



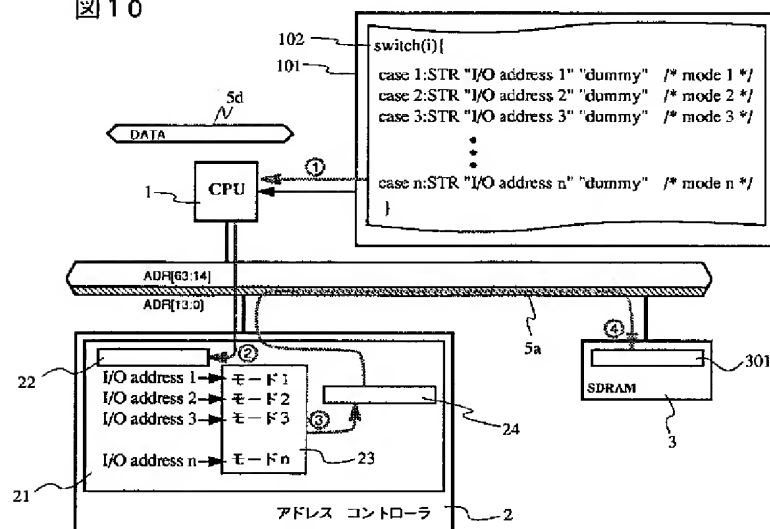
【図8】

図 8

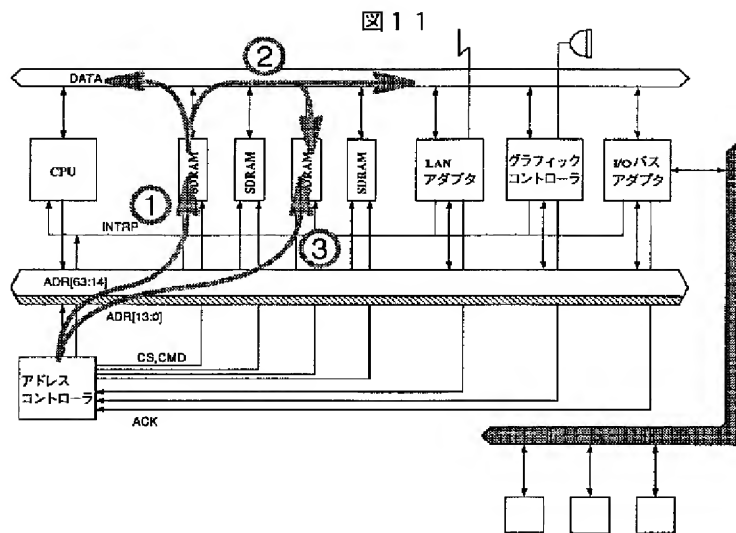


【図10】

図 10

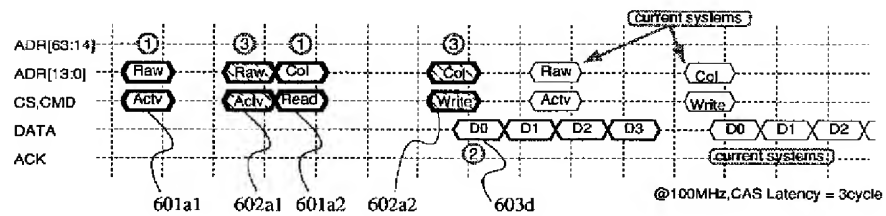


【図11】



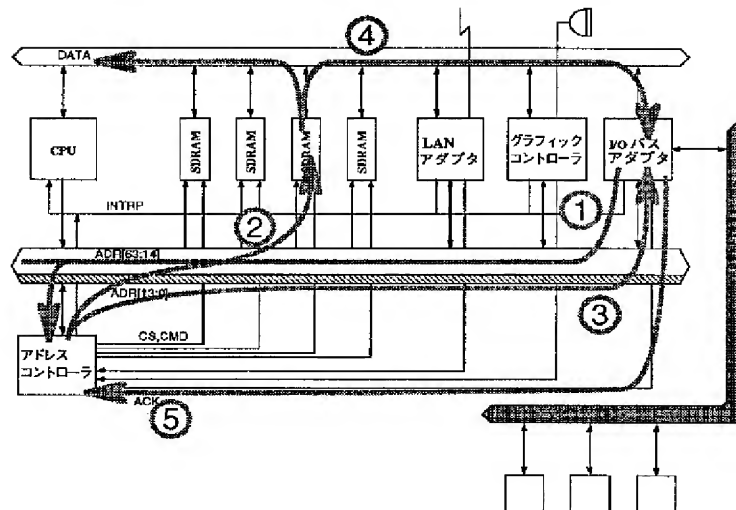
【図12】

図12



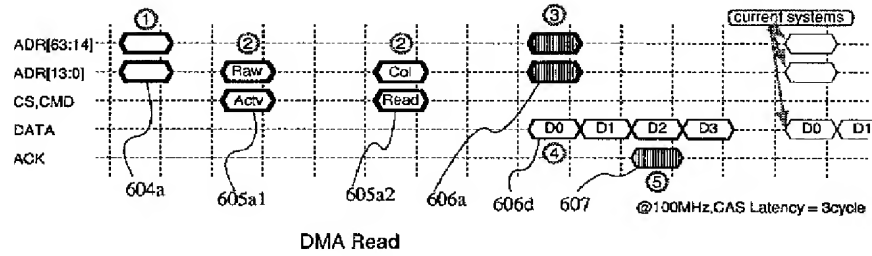
【図13】

図13



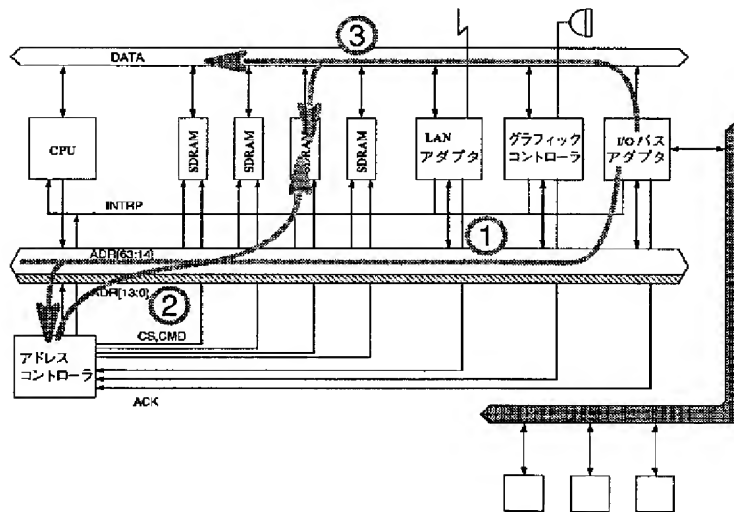
【図14】

図14



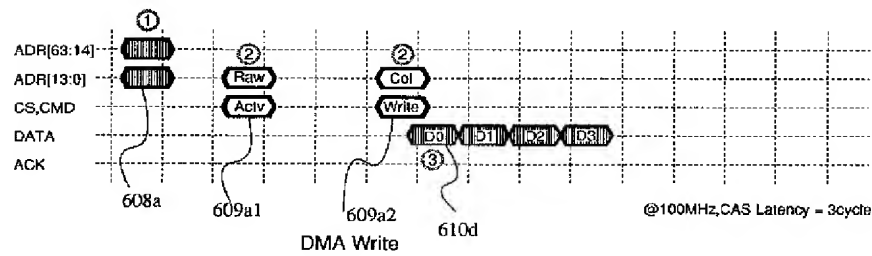
【図15】

図15

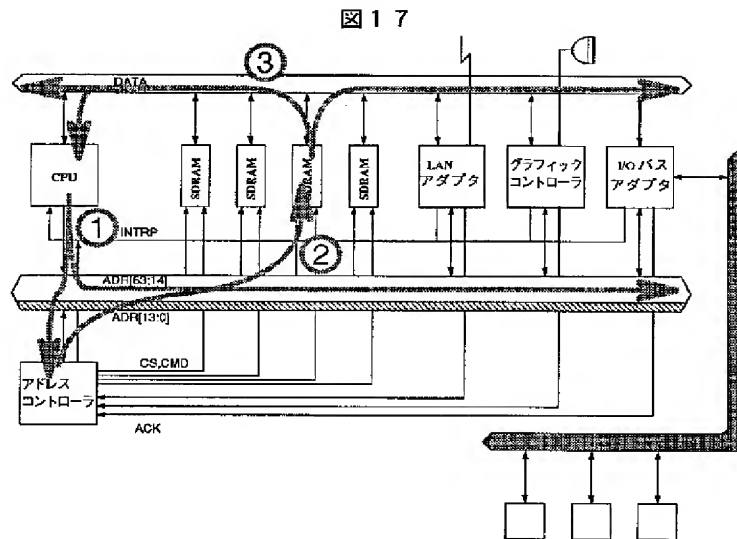


【図16】

図16

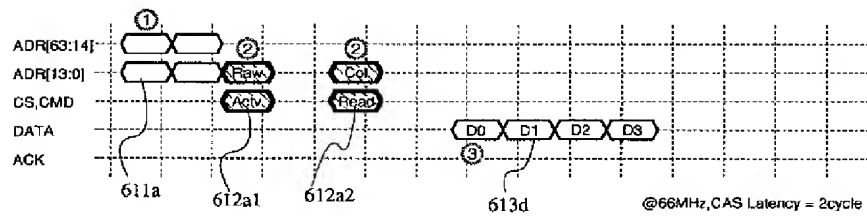


【図17】



【図18】

図18



【図19】

図19

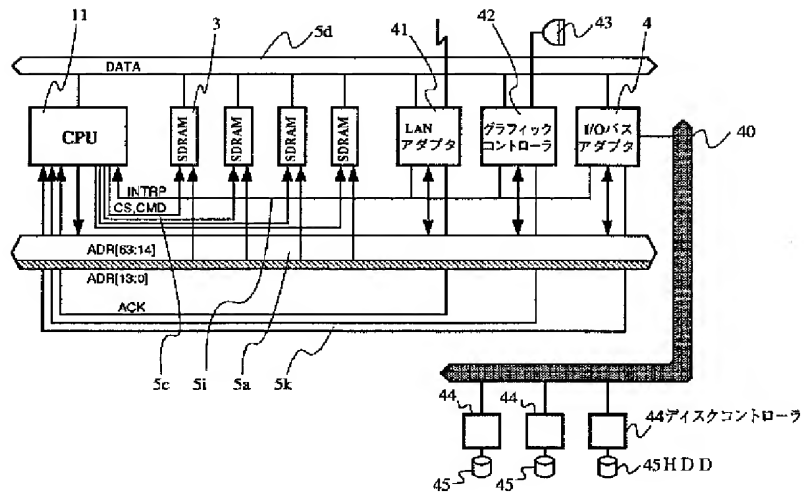
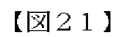
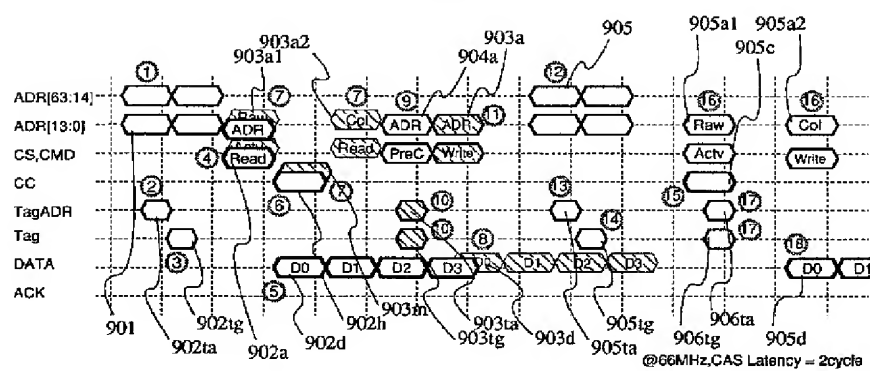


图 20

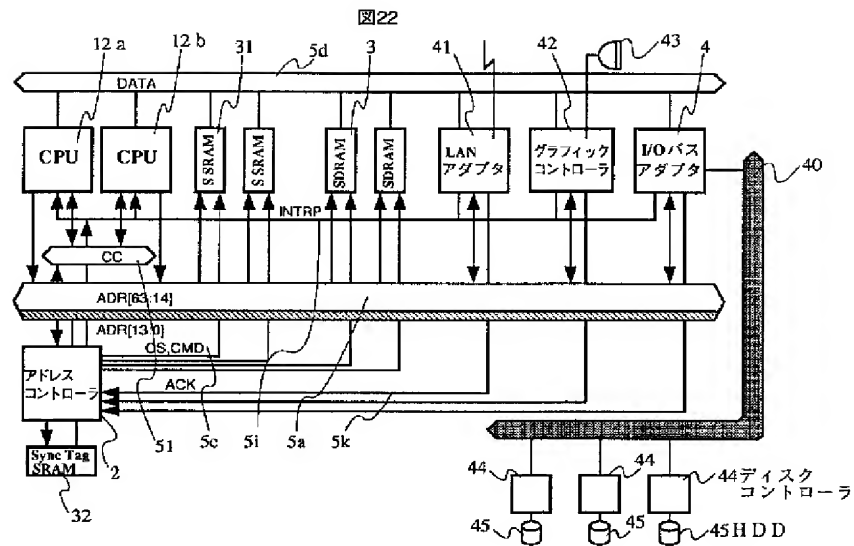


Timing diagram for current systems showing CPU bus signals and data flow. The diagram includes signals: CPU bus, ADR, DATA, CS, CMD, DATA, ACK. It shows three data paths: 801a1 (Raw), 801a2 (Raw, Col, Read), and 802d (D0-D3). A 'current systems' block is connected to the CPU bus and the D0-D3 data path. The diagram is labeled with '1' and '2' indicating specific points in the timing sequence.

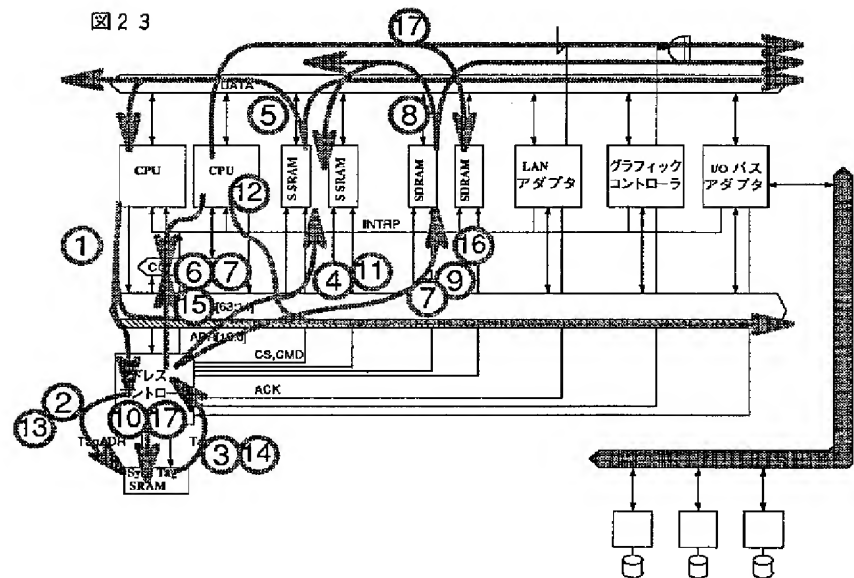
图24



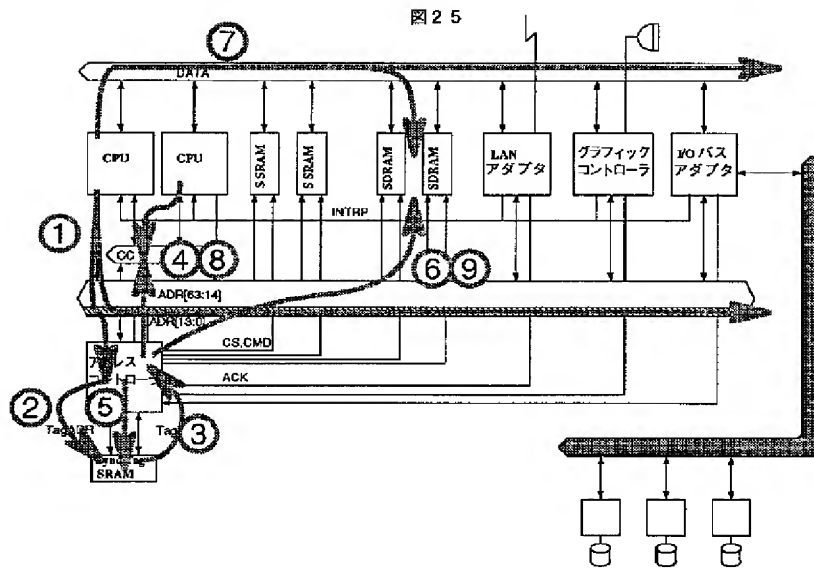
【図22】



【図23】

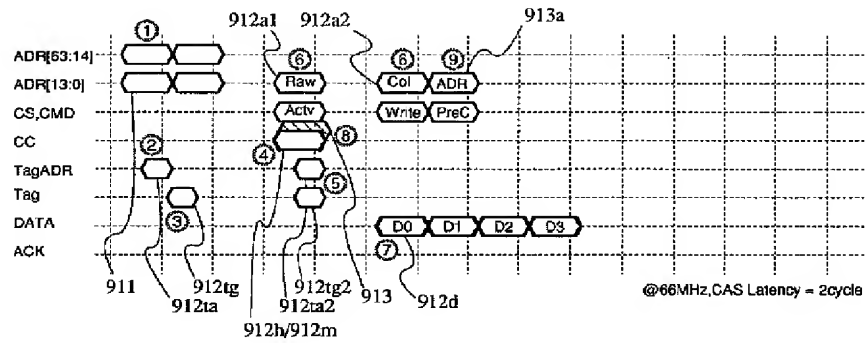


【図 2 5】



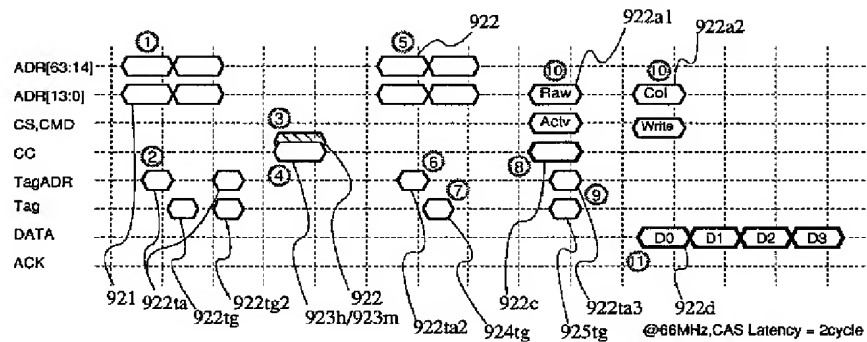
【図 2 6】

図 2 6



【図 2 8】

図 2 8



【図 27】

